

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平10-79197

(43)公開日 平成10年(1998)3月24日

(51)Int. Cl.⁶

G 1 1 C 16/02

識別記号

庁内整理番号

9458-5 L

F I

G 1 1 C 17/00 6 1 1 F

技術表示箇所

審査請求 未請求 請求項の数20 OL

(全24頁)

(21)出願番号 特願平9-126793

(22)出願日 平成9年(1997)5月16日

(31)優先権主張番号 特願平8-178965

(32)優先日 平8(1996)7月9日

(33)優先権主張国 日本(JP)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都国分寺市東恋ヶ窪三丁目1番地1

(72)発明者 石井 達也

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74)代理人 弁理士 大日方 富雄

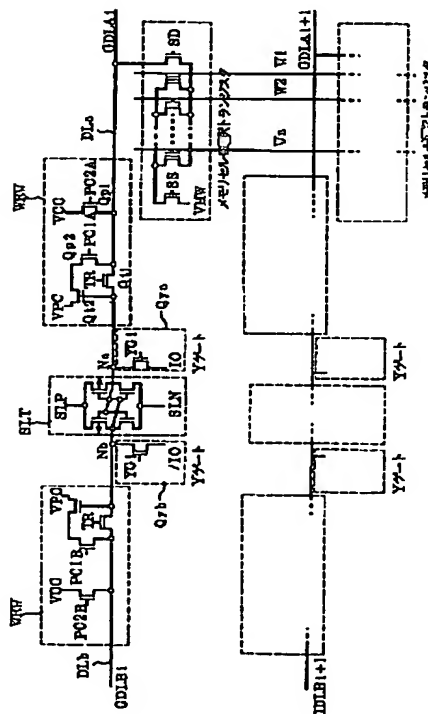
最終頁に続く

(54)【発明の名称】 不揮発性メモリシステムおよび不揮発性半導体メモリ

(57)【要約】

【課題】 従来のフラッシュメモリで追加書込みを行なうとすると、通常の書込みと同一のアルゴリズムすなわち一旦当該セクタのデータを外部へ読み出してセクタの一括消去を行なってから、上記読出しデータと追加書込みデータとを合成して書込みを行なわなくてはならないため、追加書込みに要する時間が非常に長くなるとともに、ソフトウェアの負担が大きくなってしまいうという不具合があることが明らかになった。

【解決手段】 所定のコマンドが与えられると、指定されたセクタの記憶データを読み出してレジスタに退避させてから選択セクタの一括消去を行ない、退避されたデータと追加書込みデータとから書込み期待値データを形成して書込み動作を行なうように構成した。



【特許請求の範囲】

【請求項 1】 しきい値電圧の第 1 状態と第 2 状態とにより情報を記憶する複数のメモリセルと、前記複数のメモリセルのコントロールゲートに接続されるワード線とを有するメモリアレイと、

コマンド入力端子を有し、前記コマンド入力端子に入力される命令に従って前記複数のメモリセルの消去および書込みの動作を所定の手順に従って制御するシーケンサとを備えた不揮発性メモリシステムであって、

前記シーケンサの受ける前記命令として、複数のメモリセルのしきい値電圧を一括して第 1 状態に変化させる消去コマンドと、前記複数のメモリセルのうちしきい値電圧が第 1 状態にあるメモリセルの少なくとも一つを選択的に第 2 状態に変化させる追加書込みコマンドとを含み、

前記追加書込みコマンドは、前記消去コマンドを実行せずに、複数回連続して実行可能であることを特徴とする不揮発性メモリシステム。

【請求項 2】 前記メモリアレイは、前記複数のメモリセルのドレインのそれぞれに結合される複数のデータ線と、前記複数のデータ線に結合される入出力端子とをさらに備え、

前記複数のメモリセルは、しきい値電圧が第 1 状態にある第 1 メモリセル群と第 2 状態にある第 2 メモリセル群とを有し、

前記シーケンサは、

前記命令として追加書込みコマンドが入力されると、前記複数のメモリセルのしきい値電圧を前記第 2 状態から第 1 状態の電圧方向へ一括して変化させる第 1 のステップと、

前記第 1 メモリセル群のうち前記入出力端子から入力されるデータによって選択されたメモリセルのしきい値電圧を前記第 2 状態とするとともに、前記第 2 メモリセル群のしきい値電圧を第 2 状態とする第 2 のステップと、を実行することを特徴とする請求項 1 に記載の不揮発性メモリシステム。

【請求項 3】 前記第 1 ステップにおいて、前記第 2 メモリセル群のしきい値電圧は、前記第 1 状態と前記第 2 状態との間にされることを特徴とする請求項 2 に記載の不揮発性メモリシステム。

【請求項 4】 前記シーケンサは、

前記命令として消去コマンドが入力されると、

前記ワード線に第 1 電圧を印加するとともに、複数のメモリセルのソースに第 2 電圧が印加されるように設定し、

前記追加書込みコマンドが入力されたときの第 1 ステップでは、前記ワード線に前記第 1 電圧を印加するとともに、前記複数のメモリセルのソースに第 2 電圧が印加されるように設定し、

前記第 2 ステップでは、前記ワード線に第 3 電圧を印加

するとともに前記選択された前記第 1 メモリセル群および前記メモリセルのソースに選択的に第 4 電圧が印加されるように設定し、

前記第 1 ステップの前記ワード線に前記第 1 電圧が印加される時間は、前記消去コマンドで前記ワード線に前記第 1 電圧が印加される時間よりも短いことを特徴とする請求項 2 に記載の不揮発性メモリシステム。

【請求項 5】 前記メモリアレイは、前記複数のメモリセルのドレインのそれぞれに結合される複数のデータ線と、前記複数のデータ線に結合される複数のセンスラッチ回路と、前記複数のデータ線に結合される入出力端子とをさらに備え、

前記複数のメモリセルは、しきい値電圧が第 1 状態にある第 1 メモリセル群と第 2 状態にある第 2 メモリセル群とを有し、

前記シーケンサは、

前記追加書込みコマンドが入力されると、

前記複数のセンスラッチ回路のそれぞれに、前記入出力端子から入力された書込みデータを保持させる第 1 のステップと、

前記第 1 ステップの後、前記複数のメモリセルに記憶された情報を対応するデータ線上に読み出すとともに、前記センスラッチ回路に保持された前記書込みデータとの演算を行い、演算結果を最終書込みデータとして前記センスラッチ回路に再び保持させる第 2 のステップと、前記データを前記センスラッチ回路に保持したまま前記複数のメモリセルのしきい値電圧を前記第 2 状態から第 1 状態の電圧方向へ一括して変化させる第 3 のステップと、

前記複数のメモリセルのうち前記センスラッチ回路の前記最終書込みデータによって選択されるメモリセルのしきい値電圧を前記第 2 状態にする第 4 ステップとを実行することを特徴とする請求項 1 に記載の不揮発性メモリシステム。

【請求項 6】 前記第 3 ステップにおいて、前記第 2 メモリセル群のしきい値電圧は、前記第 1 状態と前記第 2 状態との間にされることを特徴とする請求項 5 に記載の不揮発性メモリシステム。

【請求項 7】 しきい値電圧の第 1 状態と第 2 状態とにより情報を記憶する複数のメモリセルと、前記複数のメモリセルのコントロールゲートに接続されるワード線とを有するメモリアレイと、

コマンド入力端子を有し、前記コマンド入力端子に入力される命令に従って前記複数のメモリセルの消去および書込みの手順を制御するシーケンサとを備え、前記シーケンサの受ける前記命令には、複数のメモリセルのしきい値電圧を一括して第 1 状態に変化させる消去コマンドと、前記複数のメモリセルのうちしきい値電圧が第 1 状態にあるメモリセルの少なくとも一つを選択的に第 2 状態に変化させる追加書込みコマンドとを含み、

前記複数のメモリセルのうち、しきい値電圧が第1状態にあるメモリセルを第1メモリセル群とし、しきい値電圧が第2状態にあるメモリセルを第2メモリセル群とするときに、

前記シーケンサは、前記追加書込みコマンドが入力されると、前記第2メモリセル群のしきい値電圧を前記第1状態と第2状態との間にする第1のステップを実行した後、前記第1メモリセル群の少なくとも一つを選択的に前記第2状態にするとともに、前記第2メモリセル群のメモリセルのしきい値電圧を前記第2状態とする第2の

ステップを実行することを特徴とする不揮発性メモリシステム。
【請求項8】 前記第1ステップにおいて、前記第2メモリセル群のしきい値電圧を前記第1状態と前記第2状態との間にされるのと並行して、前記第1メモリセル群のメモリセルはそのしきい値電圧が前記第2状態から第1状態の電圧方向に変化させられることを特徴とする請求項7に記載の不揮発性メモリシステム。

【請求項9】 しきい値電圧の第1状態と第2状態とにより情報を記憶する複数のメモリセルと、前記複数のメモリセルのコントロールゲートに接続されるワード線とを有するメモリアレイと、

コマンド入力端子を有し、前記コマンド入力端子に入力される命令に従って前記複数のメモリセルの消去および書込みの動作を所定の手順に従って制御するシーケンサとを備えた不揮発性メモリシステムであって、

前記シーケンサの受ける前記命令には、前記複数のメモリセルのしきい値電圧を一括して第1状態に変化させる消去コマンドと、

前記複数のメモリセルに含まれる選択された第1メモリセル群のしきい値電圧を前記第2状態に変化させるために前記ワード線に第2電圧を印加する手順を含む第1書込みコマンドと、

前記複数のメモリセルのしきい値電圧を前記第2状態から第1状態の電圧方向に変化させるために前記ワード線に第1電圧を印加した後に、前記複数のメモリセルに含まれる選択された第2メモリセル群のしきい値電圧を前記第2状態に変化させるために前記ワード線に第2電圧を印加する手順を含む第2書込みコマンドとが含まれることを特徴とする不揮発性メモリシステム。

【請求項10】 前記消去コマンドにおいて前記第1電圧が印加される時間は、前記第2書込みコマンドにおいて前記第1電圧が印加される時間よりも短いことを特徴とする請求項9に記載の不揮発性メモリシステム。

【請求項11】 前記第1書込みコマンドが実行され、前記ワード線に第1電圧が印加される時、前記第1メモリセル群の残りのメモリセルのしきい値は、前記第1状態から第2状態の電圧方向に変化を受けることを特徴とする請求項10に記載の不揮発性メモリシステム。

【請求項12】 前記消去コマンドを実行せずに前記第

2書込みコマンドを連続して実行できる回数は、前記第1書込みコマンドを連続して実行できる回数よりも多いことを特徴とする請求項9に記載の不揮発性メモリシステム。

【請求項13】 前記メモリアレイおよび前記シーケンサが1個の半導体基板上に形成された半導体装置であることを特徴とする請求項1～12に記載の不揮発性メモリシステム。

【請求項14】 前記メモリアレイが1個の半導体基板上に形成された半導体メモリチップであり、前記シーケンサが他の半導体基板上に形成された半導体制御チップに含まれ、複数の前記半導体メモリチップと前記半導体制御チップとが1個のカード状保持体に搭載されてなることを特徴とする請求項1～12に記載の不揮発性メモリシステム。

【請求項15】 前記シーケンサは、前記命令に対応する実行手順と条件とを格納するメモリを有することを特徴とする請求項1～14に記載の不揮発性メモリシステム。

【請求項16】 1つのトランジスタからなりしきい値電圧により情報を記憶する複数のメモリセルと、コマンドが供給される端子を有し前記端子に供給されたコマンドに従って前記複数のメモリセルを消去状態および書込み状態とするための動作を所定の手順に従って制御するシーケンサとが1個の半導体チップ上に形成されてなる不揮発性半導体メモリであって、

前記コマンドの中の1つによって前記シーケンサは、前記複数のメモリセルのしきい値電圧を一括して所定状態にするための制御と、前記1つのコマンドが供給される前に書込み状態であったメモリセルおよび前記1つのコマンドが供給された後に前記複数のメモリセルの中の選択された少なくとも1つのメモリセルに対する書込み動作の制御とを行うことを特徴とする不揮発性半導体メモリ。

【請求項17】 前記複数のメモリセルの各々は、対応するワード線に接続されていることを特徴とする請求項16に記載の不揮発性半導体メモリ。

【請求項18】 データレジスタをさらに備え、前記データレジスタには、前記1つのコマンドが供給された後、前記データレジスタは選択されたワード線に結合されたメモリセルから読み出されたデータおよび前記選択された少なくとも1つのメモリセルに書き込まれるべきデータに基づいて、前記選択されたワード線に結合されたメモリセルへの書込み期待値データが格納されることを特徴とする請求項17に記載の不揮発性半導体メモリ。

【請求項19】 前記複数のメモリセルの各々は、しきい値電圧が第1状態のとき消去状態とされ、第2状態のとき書込み状態とされ、

前記1つのコマンドが供給されることによって、前記1

つのコマンドが供給される前に書込み状態であったメモリセルのしきい値電圧は前記第1状態と前記第2状態の間にされることを特徴とする請求項18に記載の不揮発性半導体メモリ。

【請求項20】 前記複数のメモリセルの各々は、しきい値電圧が第1状態のとき消去状態とされ、第2状態のとき書込み状態とされ、

前記1つのコマンドが供給されることによって、選択されたメモリセルのしきい値電圧は前記第1状態にされることを特徴とする請求項18に記載の不揮発性半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置さらには不揮発性半導体記憶装置における情報書込み方式に適用して特に有効な技術に関し、例えば複数の記憶情報を電氣的に一括消去可能な不揮発性メモリシステムおよび不揮発性半導体メモリに利用して有効な技術に関するものである。

【0002】

【従来の技術】フラッシュメモリは、コントロールゲートおよびフローティングゲートを有する不揮発性記憶素子をメモリセルに使用しており、1個のトランジスタ

(MOSFET)でしきい値電圧を情報として記憶するメモリセルを構成することができる。かかるフラッシュメモリにおいては、書き込み動作では、図18に示すように、不揮発性記憶素子のドレイン電圧を例えば5V

(ボルト)にし、コントロールゲートCGが接続されたワード線を例えば-10Vにすることにより、フローティングゲートFGから電荷をドレイン領域へ引き抜いて、しきい値電圧を低い状態(論理“0”)にする。消去動作では、図19に示すように、ウェル領域を例えば-5Vにし、コントローゲートCGを10Vのような高電圧にしてフローティングゲートFGに負電荷を注入してしきい値を高い状態(論理“1”)にする。これにより、1つのメモリセルに1ビットのデータを記憶させるようにしている。

【0003】

【発明が解決しようとする課題】従来のフラッシュメモリは、一本のワード線に複数のメモリセルのコントロールゲートが接続され、このワード線に接続される複数のメモリセルを単位(以下、この単位をセクタと称する)として、消去、書込み、読出しがそれぞれの動作モードに区別されて行なわれてきた。まず消去は、ワード線を共通にする複数のメモリセルに対して同時に行われる。この消去はセクタ単位で行われ、複数のメモリセルのうち特定のメモリセルだけを選択的に消去することはできない。

【0004】一方、書込みは、一旦消去を行なって図20(a)のようにしきい値を高くしてから、しきい値を

下げようとするメモリセルが接続されたワード線に-10Vを印加しドレインに5V、ソースに0Vを印加して行なうようにしていた。これによって、書込みを行なったメモリセルのしきい値は、図20(b)のようにペリファイ電圧 V_{pv} よりも低くなる。このとき、書込みが行なわれないつまりしきい値を下げないメモリセルのドレインには0Vが印加されていたが、上記書込みセルとワード線を共通にする他のメモリセルのゲートには-10Vのような大きな電圧が印加されるため、しきい値が僅かに下がる現象が起きる。書込みを行う特定のメモリセルのしきい値電圧だけが変化することが望ましいが、書込みを行わないメモリセルにもわずかにではあるがしきい値の変化が起こる。この望ましくないしきい値電圧の変化は、ディスタurbと呼ばれる。かかるディスタurb現象は、主にワード線に電圧が印加されることによって起こるため、ワード線ディスタurb(またはワードディスタurb)と呼ばれる。

【0005】上記のワードディスタurbにより、セクタ単位のメモリセルは一括消去を行わずに書込みを繰り返すことは困難であった。この様子を、図20(c)から(f)に示す。最初に同じワード線に接続される複数のメモリセルを一括消去すると、この複数のメモリセルのしきい値はすべて最も高い消去レベルとなる(図20(a))。次に書込みを行い、特定のメモリセルのしきい値を選択的に書込み状態にする(図20(b))。この時、複数のメモリセルは、しきい値電圧が消去状態の第1メモリセル群(図20(c)の点線)と、しきい値電圧が書込み状態の第2メモリセル群(図20(d)の点線)とからなる。選択的なメモリセルの消去はできないので、書込みを行えるのは第1メモリセルに限られる。そこで、第1メモリセル群のいずれかを選択して書込みを行う。この時、ワードディスタurbが起こると、図20(c)及び(d)のように書込みを行わなかったメモリセルのしきい値電圧が低下する。

【0006】一括消去を行わずに書込みを繰り返すこと、ディスタurbが何度か繰り返されると、メモリセルのしきい値が図20(e)のようにデータ読出し時のワード線レベル V_r よりも低くなって、誤まったデータの読出しが行なわれてしまう。また、図20(f)のように接地電位 V_{ss} より低くなって非選択時にもオン状態となってしまう、ワード線は異にするがソース線は共通であるメモリセルを選択したときに、データ線上の電荷が上記接地電位 V_{ss} よりもしきい値の低いメモリセルを通してソースに流れてしまうため、誤まったデータの読出しが行なわれるおそれがあるという問題点があった。

【0007】なお、メモリアレイの構成によっては、しきい値の低い状態を消去状態とし、書込みによってメモリセルのしきい値を高くする方式もあるが、かかる書込み方式においても、書込み時にワード線を共通にする非

書込みのメモリセルのしきい値が僅かに高くなるというディスタブ現象がある(図21(c), (d)参照)。そして、ディスタブが何度か繰り返されると、メモリセルのしきい値が図21(e)のようにデータ読出し時のワード線レベル V_r よりも高くなって誤まったデータの読出しが行なわれるおそれがある。

【0008】図22に、一本のワード線で管理されるセクタの情報マトを示す。例えば、図20(a-1)～(a-3)では一本のワード線に512byte(4096bit)のメモリセルが接続される。ここで、図22に示すように、同一セクタ内にOS情報(オペレーションシステムに関する情報)やセクタ管理情報等一般ユーザーに開放されていない記憶領域(以下、システム領域と称する)と、一般ユーザーが自由に書込みをできる記憶領域(以下、ユーザー領域と称する)とを混在して設けることでメモリの有効利用を図ることができる。実際にはシステム領域はユーザー領域に比べるとほんの僅かである。このような記憶方式のフラッシュメモリは、システム領域に所定のデータが書き込まれ、ユーザー領域は未書込みの状態

でユーザーに提供される。大きな情報エリアを持つユーザー領域の消去状態にあるメモリセルを選択して繰り返し書込みを行う追加書込みと呼ばれる動作が行えると便利である。しかるに、従来のフラッシュメモリを使用したシステムでは、ディスタブのため記憶情報の保証ができなくなるためそのような追加書込み動作が行なわれていなかった。また、追加書込みを許容したとしてもディスタブによるしきい値変動を考慮して連続して追加書込みを行う回数を大幅に制限する必要性があった。

【0009】また、メモリ自身も上記のような使用の仕方を考慮して設計されていなかった。そのため、従来のフラッシュメモリで追加書込みを行なうとすると、通常の書込みと同一のアルゴリズムすなわち一旦当該セクタのデータを外部へ読み出してセクタの一括消去を行ってから、上記読出しデータと追加書込みデータとを合成して書込みを行わなくてはならないため、追加書込みに要する時間が非常に長くなるとともに、ソフトウェアの負担が大きくなってしまいうという不具合があることが明らかになった。

【0010】この発明の目的は、ワード線ディスタブによるメモリセルのしきい値の変動を回復させることが可能な不揮発性メモリシステムおよび不揮発性半導体メモリを提供することにある。

【0011】この発明の他の目的は、一括消去を行わずに追加書込みの連続実行が可能な不揮発性メモリシステムおよび不揮発性半導体メモリを提供することにある。

【0012】この発明の他の目的は、追加書込みという動作を通常の書込みよりも高速で行なうことができ、しかも追加書込みにおけるソフトウェアの負担を軽減することが可能な不揮発性メモリシステムおよび不揮発性半導体メモリを提供することにある。

【0013】この発明の前記ならびにほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち代表的なものを概要を簡単に説明すれば、下記のとおりである。

【0015】すなわち、所定の指令が与えられると、指定アドレスのセクタの記憶データを読み出してレジスタに退避させてから当該セクタの一括消去を行ない、前記退避されたデータと追加書込みしようとするデータとから実際の書込みデータ(以下、書込み期待値データと称する)を形成して書込み動作を行なうように構成したものである。

【0016】また、しきい値電圧の第1状態(例えばしきい値電圧の高い消去状態)と第2状態(例えばしきい値電圧の低い書込み状態)とにより情報を記憶する複数のメモリセルと、前記複数のメモリセルのコントロールゲートに接続されるワード線とを有するメモリアレイと、コマンド入力端子を有し前記コマンド入力端子に入力される命令に従って前記複数のメモリセルの消去および書込みの動作を所定の手順に従って制御するシーケンサとを備え、前記シーケンサの受ける前記命令には、複数のメモリセルのしきい値電圧を一括して第1状態に変化させる消去コマンドと、前記複数のメモリセルのうちしきい値電圧が第1状態にあるメモリセルの少なくとも一つを選択的に第2状態に変化させる追加書込みコマンドとを含み、前記追加書込みコマンド、前記消去コマンドを実行せずに複数回連続してデータの書込みを実行可能であるように不揮発性メモリシステムを構成する。

【0017】さらに、好適な実施形態においては、前記複数のメモリセルのうち、しきい値電圧が第1状態にあるメモリセルを第1メモリセル群とし、しきい値電圧が第2状態にあるメモリセルを第2メモリセル群とするときに、前記シーケンサは、前記追加書込みコマンドが入力されると、前記第2メモリセル群のしきい値電圧を前記第1状態と第2状態との間にする第1のステップを実行した後、前記第1メモリセル群の少なくとも一つを選択的に前記第2状態にするとともに、前記第2メモリセル群のメモリセルのしきい値電圧を前記第2状態とする第2のステップを実行するように構成される。

【0018】さらに、別の好適な実施形態においては、前記シーケンサの受ける前記命令には、複数のメモリセルのしきい値電圧を一括して第1状態に変化させる消去コマンドと、前記複数のメモリセルに含まれる選択された第1メモリセル群のしきい値電圧を前記第2状態に変化させるために前記ワード線に第2電圧を印加する手順を含む第1書込みコマンドと、前記複数のメモリセルのしきい値電圧を前記第2状態から第1状態の電圧方向に変化させるために前記ワード線に第1電圧を印加した後

に、前記複数のメモリセルに含まれる選択された第2メモリセル群のしきい値電圧を前記第2状態に変化させるために前記ワード線に第2電圧を印加する手順を含む第2書き込みコマンドとが含まれるようにする。

【0019】これによって、追加書き込みの際にワード線ディスタープによるメモリセルのしきい値の変動が回復され、誤まったデータの読み出しを防止することができる。結果として、消去命令を実行せずに追加書き込みを連続して実行できる回数を大幅に増加させることができる。

【0020】また、選択セクタから読み出され内部レジスタに保持したデータと、外部から入力した追加書き込みデータを用いて、書き込み期待値データを自動的に内部で形成してから書き込み動作を行なうように構成することにより、追加書き込みという動作を通常の書き込みよりも高速で行なうことができ、しかも追加書き込みにおけるソフトウェアの負担を軽減することができる。

【0021】

【発明の実施の形態】以下、本発明をフラッシュメモリに適用した場合の実施例を図面を用いて説明する。

<実施例1>図1には、本発明を適用したフラッシュメモリの一実施例が示されている。特に制限されないが、図1に示されている各回路ブロックは、単結晶シリコンのような1個の半導体チップ1上に形成されている。

【0022】図1において、11は図18に示されているようなフローティングゲートを有する1つのトランジスタからなるメモリセルがマトリクス状に配置されたメモリアレイ、12はメモリアレイ11から読み出された1セクタ分のデータを保持したり外部から入力された書き込みデータを保持するデータレジスタ、13は上記メモリアレイ11とデータレジスタ12との間に設けられた追加書き込みや書換えの際のデータ変換を行なう書換回路である。

【0023】また、14は外部から入力されたアドレス信号を保持するアドレスレジスタ、15はメモリアレイ11内のワード線の中から上記アドレスレジスタ14に取り込まれたアドレスに対応した1本のワード線を選択するXデコーダ、16は外部からの書き込みデータを上記データレジスタ12に順次転送したりデータレジスタ12に読み出されたデータを外部へ出力するためのYアドレス信号(データ線選択信号)を生成するYアドレスカウンタである。上記Yアドレスカウンタ16は、1セクタの先頭アドレスから最終アドレスまでを順次更新し出力する機能を有する。17は生成されたYアドレスをデコードして1セクタ内の1つのデータを選択するYデコーダ、18はデータレジスタ12に読み出されたデータを増幅して外部へ出力するメインアンプである。

【0024】この実施例のフラッシュメモリは、特に制限されないが、シリアルアクセスのデータ入出力インターフェースを持つ。例えば読出し時には、読み出すべきセ

クタのアドレスが入力されると一本のワード線が選択され、それに接続される複数のメモリセルから並行してデータが読み出され、それぞれ後に説明するセンスラッチ群SLTに一旦保持される。このセンスラッチ群は上記データレジスタ12に含まれる。センスラッチ群はYアドレスカウンタ16により順次選択され、その保持データがシリアルに出力される。書き込みの場合は、シリアルデータが入力され、上記とは逆の経路で選択されたセクタに書き込みが行われる。また、メモリチップの入出力端子は複数とされ、1セクタのデータが分割してシリアルに入力される。

【0025】この実施例のフラッシュメモリは、特に制限されないが、外部のCPU等から与えられるコマンドを保持しそれをデコードするコマンドレジスタ&デコーダ21と、該コマンドレジスタ&デコーダ21のデコード結果に基づいて当該コマンドに対応した処理を実行すべくメモリ内部の各回路に対する制御信号を順次形成して出力する制御回路(シーケンサ)22とを備えており、コマンドが与えられるとそれを解読して自動的に対応する処理を開始するように構成されている。

【0026】上記制御回路22は、例えばマイクロプログラム方式のCPUの制御部と同様に、コマンド(命令)を実行するのに必要な一連のマイクロ命令群が格納されたROM(リードオンリメモリ)からなり、コマンドレジスタ&デコーダ21がコマンドに対応したマイクロ命令群の先頭アドレスを生成して制御回路22に与えることにより、マイクロプログラムが起動されるように構成することができる。このROM内に設けられたソフトウェアには、図4で後述する命令手順と、電圧印加時間等の条件とが格納される。ROMには最低限のマイクロ命令のみを搭載し、命令条件や追加プログラムは書換可能なフラッシュメモリに格納するようにしてもよい。

【0027】さらに、この実施例のフラッシュメモリには、上記各回路の他、アドレス信号やデータ信号の入出力を行なうI/Oバッファ回路23、外部のCPU等から供給される制御信号が入力される制御信号入力バッファ回路24、外部から供給される電源電圧Vccに基づいて書き込み電圧Vw(-10V)、消去電圧Ve(10V)、読出し電圧(2V)、ペリファイ電圧(1V)等チップ内部で必要とされる電圧を生成する電源回路25、メモリの動作状態に応じてこれらの電圧の中から所望の電圧を選択してメモリアレイ11やXデコーダ15に供給する電源切替回路26等が設けられている。なお、電源電圧よりも高いVwやVeのような電圧は、電源回路25に含まれるチャージポンプ回路により発生される。

【0028】特に制限されないが、この実施例のフラッシュメモリは、アドレス信号と書き込みデータ信号およびコマンド入力とで外部端子(ピン)I/Oを共用している。そのため、上記I/Oバッファ回路23は、上記制

10

20

30

40

50

御信号入力バッファ回路 24 からの制御信号に従ってこれらの入力信号を区別して取り込み所定の内部回路に供給するように構成されている。

【0029】外部の CPU 等からこの実施例のフラッシュメモリに入力される制御信号としては、例えばリセット信号 RES やチップ選択信号 CE、書き込み制御信号 WE、出力制御信号 OE、コマンドもしくはデータ入力かアドレス入力かを示すためのコマンドイネーブル信号 CDE、システムクロック SC 等がある。

【0030】なお、上記実施例のフラッシュメモリを制御する外部の装置としては、アドレス生成機能とコマンド生成機能を備えていればよいので、汎用マイクロコンピュータ LSI を用いることができる。

【0031】図 2 には書き込みによってメモリセルのしきい値を下げる方式のメモリアレイ 11 の具体例を示す。この実施例のメモリアレイ 11 は 2 つのマットで構成されており、図 2 にはそのうち片方のメモリマットの具体例が示されている。同図に示すように、各メモリマットは、列方向に配列され各々ソースおよびドレインが共通接続された並列形態の n 個のメモリセル（フローティングゲートを有する MOSFET）MC1 ~ MC n からなるメモリ列 MCC が行方向（ワード線 WL 方向）および列方向（データ線 DL 方向）にそれぞれ複数個配設されている。各メモリ列 MCC は、 n 個のメモリセル MC1 ~ MC n のドレインおよびソースがそれぞれ共通のローカルデータ線 LDL および共通のローカルソース線 LSL に接続され、ローカルデータ線 LDL は選択 MOSFET Qs1 を介してメインデータ線 DL に、またローカルソース線 LSL は選択 MOSFET Qs2 を介して接地点または負電圧に接続可能にされた構成にされている。上記複数のメモリ列 MCC のうちワード線方向に配設されているものは半導体基板上の同一のウェル領域 WEL 内に形成される。

【0032】特に制限されないが、図 2 に示すメモリアレイの構成を有し、消去状態を高いしきい値電圧にとるとともに書き込み状態を低いしきい値電圧にとる方式は AND 形フラッシュメモリと呼ばれることがある。この場合、フローティングゲートへの電子の注入（しきい値電圧を上げ、消去状態にする）には、特に制限されないが、トランジスタのチャネルから FN（Fowler-Nordheim）トンネル注入が用いられ、フローティングゲートからの電子の引き抜き（しきい値電圧を下げ、書き込み状態にする）には、拡散層への FN トンネル放出が用いられる。

【0033】データ消去時にはそのウェル領域 WEL およびローカルソース線 LSL に -3 V のような負電圧を与え、ウェル領域を共通にするワード線に 10 V のような電圧を印加することで、一括消去が可能にされている。なお、データ消去時には選択 MOSFET Qs2 がオン状態にされて、各メモリセルのソースに -3 V の負

電圧が印加されるように構成されている。このとき、選択 MOSFET Qs1 はオフとされ、ドレインは、コントロールゲートに 10 V の高電圧が印加されることでオン状態にされたメモリセルのチャンネルを通してソース側の電圧が伝えられることで -3 V のような電位にされる。

【0034】一方、データ書き込み時には、選択されるメモリセルが接続されたワード線に -10 V のような負電圧が印加されるとともに、選択されるメモリセルに対応したメインデータ線 DL が 3 V のような電位にされかつ選択メモリセルが接続されたローカルデータ線 LDL 上の選択 MOSFET Qs1 がオン状態され、ドレインに 3 V が印加される。ただし、このときローカルソース線 LSL 上の選択 MOSFET Qs2 はオフ状態とされている。

【0035】また、データ読出し時には、選択されるメモリセルが接続されたワード線に読出し電圧 Vr（例えば 2.0 V）のような電圧が印加されるとともに、選択されるメモリセルに対応したメインデータ線 DL が 1 V のような電位にプリチャージされかつ選択メモリセルが接続されたローカルデータ線 LDL 上の選択 MOSFET Qs1 がオン状態とされる。そして、このときローカルソース線 LSL 上の選択 MOSFET Qs2 はオン状態とされ、接地電位（0 V）が印加される。これにより、メモリセルのしきい値電圧に応じて電流が流れるもの（LDL 電位が 0 V に低下）と、電流が流れないもの（LDL 電位が 1 V に維持される）とが区別され、メモリセルの記憶情報が読み出される。

【0036】ここで、データ書き込み時および消去時の電圧が図 18、図 19 の従来タイプに比べて低いのは、従来より微細加工が可能な技術を使用して素子寸法を小さくするとともに、電源電圧 Vcc として従来の 5 V に代えて 3 V を使用しているためである。

【0037】上記メインデータ線 DL の一端（メモリアレイの中央側）には読出し時にデータ線のレベルを検出するとともに書き込み時に書き込みデータに応じた電位を与えるセンスラッチ回路 SLT と追加書き込みの際に期待値データを形成したりするのに使用するデータ反転回路 WRW がそれぞれ接続されている。上記センスラッチ回路 SLT の集合が図 1 におけるデータレジスタ 12 で、データ反転回路 WRW の集合が図 1 における書換回路 13 である。この 2 つのウェル領域 WEL 上に形成された 2 つのメモリアレイをマット a（MATA）と呼ぶこととする。ここで、メインデータ線の数やセンスラッチ回路 SLT は 1 セクタに対応した数とされ、例えば 4224 個（512+16byte）が並列に設けられる。

【0038】この実施例ではメモリアレイは 2 つのメモリマットで構成され、センスラッチ回路 SLT の反対側すなわち図の下側にも上記データ反転回路 WRW とメモリマットが配置されており、そのメモリアレイ内の各メ

インデータ線DLが対応するデータ反転回路WRWを介してセンスラッチ回路SLTの他方の入出力端子に接続されている。即ち、データ反転回路WRWはマットMATa及びMATbごとに設けられ（区別するときはWRWa, WRWbと呼ぶ）、センスラッチ回路SLTは2つのメモリマットで共用される。

【0039】図3には、上記センスラッチ回路SLTおよびデータ反転回路WRWの具体的回路例を示す。回路はセンスラッチ回路を挟んで対称であるため、一方のメモリマット内の1本のデータ線に関してのみ図示するとともに、便宜上、データ線に接続されているメモリ列のうち1つのメモリ列MCCのみ示したが、実際には複数のメモリ列MCCが接続されるものである。図示のごとく、センスラッチ回路SLTはPチャンネルMOSFETとNチャンネルMOSFETからなる2つのCMOSインバータの入出力端子が交差結合されたフリップフロップ回路FFにより構成されている。そして、上記センスラッチ回路SLTの一对の入出力端子Na, Nbに、Yデコーダの出力によってオン、オフ制御されるいわゆるYゲートを構成するカラムスイッチMOSFET Qya, Qybが接続されている。このメインデータ線ごとに設けられた複数のカラムスイッチQya, Qybの他端は、相補共通入出力線(IO, /IO)に共通接続される。

【0040】データ反転回路WRWaは、上記センスラッチ回路SLTの一方の入出力端子Naと一方のメモリマット内のメインデータ線DLaとの間に接続された伝送MOSFET Qt1と、電源電圧端子Vccとメインデータ線DLaとの間に接続され制御信号PC2Aによって制御されるプリチャージ用のMOSFET Qp1と、プリチャージ切替端子VPCとメインデータ線DLaとの間に直列接続されたMOSFET Qt2, Qp2とにより構成されている。このうちQt2のゲートには、上記センスラッチ回路SLTの入出力端子Naの電位が印加され、Qp2のゲートには制御信号PC1Aが印加されている。また、上記プリチャージ切替端子VPCには電源電圧VccまたはVssが供給されるように構成されている。

【0041】さらに、上記センスラッチ回路SLTの他方の入出力端子Nbにも同様の構成のMOSFET Qt1, Qt2, Qp1, Qp2からなるデータ反転回路WRWbが接続されている。

【0042】図4に制御回路22によるデータ追加書込み時の制御手順を示す。追加書込みを起動する追加書込みコマンドは、図1の制御入力信号のうち、コマンドインネーブル信号CDEが有効とされるとき、IO入出力端子から入力されるコマンドにより設定された8ビットのコードにより指定される。後に説明するように、この制御回路は、この他に消去コマンドや書込みコマンド等を受け付けるが、それらはIO入出力端子から入力されるコードの違いにより区別される。コマンドコードはコマ

ンドデコーダによりデコードされ、それにより対応する一連のプログラムが起動される。

【0043】この制御シーケンスは、追加書込みコマンドがコマンドレジスタ&デコーダ21に取り込まれることによって開始される。この制御シーケンスが開始されると、チップ内部が追加書込みモードにセットアップされ、データレジスタ12ではすべてのセンスラッチSLTに“1”がセットされる（ステップS1）。次に、外部から入力された書込みアドレスをアドレスレジスタ14に取り込む（ステップS2）。続いて、外部から入力された少なくとも1つの追加書込みデータをデータレジスタ12に格納する（ステップS3）。

【0044】次に、外部から書込み開始コマンドがコマンドレジスタ&デコーダ21に取り込まれることによって、上記アドレスレジスタ14に保持されているセクタアドレス(Xアドレス)がXデコーダ15でデコードされ、メモリアレイ11内の1本のワード線が選択されて2Vのような読み出しレベルに設定される。これによって、1セクタ分のデータがデータレジスタ12に読み出されるとともに、すでにセットされていた追加書込みデータとに基づいて書込み期待値データを作成してそれをデータレジスタ12に保持させる（ステップS4）。以上の処理が前記制御回路（シーケンサ）22の制御の下で書換回路13（データ反転回路WRW）によって自動的に行なわれる。

【0045】続いて、上記選択ワード線に10V、ウェル領域に-3Vの消去パルスを印加して当該セクタのすべてのメモリセルのしきい値を高める（ステップS5）。このステップが本願の特徴とするところの一つである。これによって、記憶データが論理“0”であったメモリセルは図10(C-1)のようにしきい値がVev以上となり、記憶データは論理“1”に変化するとともに、記憶データが論理“1”であったメモリセルは図10(B-1)のようにディスターブが回復される。なお、上記記憶データが論理“1”であったメモリセルのディスターブは、同一セクタ内の他のメモリセルへの書込みの際に生じたものである。

【0046】図4のステップS5においては、セクタのすべてのメモリセルのしきい値を電圧Vevよりも高くする例であるが、本発明はこれに限定されるものでなく、図23(c-1)のように、セクタ中のすでにデータが書き込まれているメモリセルに対してはそのしきい値を電圧Vpv(<Vev)よりも高くする程度でもよい。この同一セクタのメモリセルを一括してしきい値電圧を電圧Vevよりも高くすることをせず電圧Vpvよりも高電位側にする操作を便宜上、擬消去と呼ぶこととする。この擬消去は、1セクタのメモリセルを一括して消去する動作と比較すると、メモリセルに印加する電圧は同じであるが、その電圧印加時間において区別される。即ち、後に図14で説明する消去コマンドを実行して、

書込み状態にあるメモリセルに完全な消去を行うためには、通常1msの間、選択ワード線に10Vを印加する。これに対して、擬消去では、その1/10程度の時間(約0.1ms)とされる。

【0047】従って、1セクタ内でしきい値電圧が第2状態にある第1メモリセル群のしきい値電圧は、完全にしきい値電圧が第1状態まで変化するのではなく、しきい値電圧が第1状態と第2状態の中間程度にされる。また、同一セクタ内で第1メモリセル群の残りであり、しきい値電圧が第1状態にある第2メモリセル群は、さらにしきい値電圧が高まる電圧方向(即ちしきい値電圧の第2状態から第1状態への電圧方向)にしきい値電圧が変化させられる。つまり擬消去は、メモリセルの完全な消去ではなく、ワードディスタープによって引き起こされる第1状態から第2状態への電圧方向のしきい値電圧の変化を見込んで、予めその変化を相殺する分だけ逆の電圧方向へしきい値電圧を変化される操作ととらえることができる。

【0048】次に、選択ワード線を-10Vに設定してデータ線は上記ステップS4で作成されデータレジスタ12(センスラッチSLT)に保持されている期待値データを用いてローカルデータ線LDLの電圧レベルを3Vに選択的に設定して書込みを行なう(ステップS6)。書込みを行わないメモリセルのローカルデータ線LDLの電圧レベルは0Vとする。それから、ベリファイ電圧V_{pv}を用いて読出しを行なってデータレジスタ12の保持データがすべて“0”になっているか否か判定することでしきい値が十分に低くなっているかチェックし(ステップS7)、1つでも“1”のデータが残っている場合には、しきい値が高いメモリセルがあると判定してステップS6へ戻ってそのときデータレジスタ1*

*2に保持されているデータを用いて再度書込みとベリファイを繰り返す。

【0049】上記繰り返しの過程では、すでにしきい値が十分に低くなっている(ベリファイ電圧V_{pv}よりもしきい値電圧が低くなった)メモリセルは、ローカルデータ線LDLの電圧レベルを0Vとして書込みを行わないように設定する。そして、残るしきい値の低下が不十分なメモリセルに対し選択的に書込みを行い、書込みを行うべきメモリセル群のしきい値電圧がすべて十分に低くなったところで、再書込みとベリファイを停止する。

【0050】この書込みベリファイは同一セクタ内のメモリセルの書込み時間のばらつきに対応するものである。即ち、先の擬消去により第1状態と第2状態の間のしきい値に設定されたメモリセルは、第1状態から第2状態へしきい値電圧を変化させるメモリセルよりも書込み時間がはるかに短い。書込みベリファイを用いることにより、書込み時のしきい値電圧のばらつきを押さえるとともに、しきい値電圧がV_{ss}以下になってしまうことが有効に防止される。

【0051】図5～図8には、上記追加書込みフローにおけるステップS4の書込み期待値データ作成時のメモリアレイおよびデータ反転回路WRWの各部の信号タイミングをさらに詳細に示す。なお、図5～図8は図3に示されているメモリアレイにおいて右側のメモリマトリクスMATaが選択される場合の信号タイミングを示す。また、表1には、上記書込み期待値データ作成過程でのデータレジスタ12における保持データおよびデータ線レベルの変化の様子を、上から下へ時間を追って順に示す。

【0052】

【表1】

		未 使 用								使 用 中							
メモリデータ		1	1	1	1	1	1	1	1	1	0	1	0	1	0		
追加データ		1	0	0	1	0	0	1	0	—	—	—	—	—	—		
データ線&レジスタ	t1	H	L	L	H	L	L	H	L	H	H	H	H	H	H		
	t2	H	L	L	H	L	L	H	L	H	L	H	L	H	L		
	t5	1	0	0	1	0	0	1	0	1	0	1	0	1	0		
	t6	H	H	H	H	H	H	H	H	H	H	H	H	H	H		
	t7	L	H	H	L	H	H	L	H	L	H	L	H	L	H		
	t10 (期待値)	0	1	1	0	1	1	0	1	0	1	0	1	0	1		

表1に示されているように、追加書込み時には、追加書込みデータがデータレジスタ12(センスラッチSLT)の所定のビットに格納される。なお、前述したように、同一セクタ内の追加書込みをしないメモリセル(既にデータが書き込まれているメモリセル)に対応したセンスラッチSLTには、データ“1”(この段階では、しきい値を変化させないことを意味している)がセットされている。即ち、表1において、使用中の欄の追加デ

ータの項目は、追加書込みを行わないことを明瞭にするため、“—”で示したが、実際には“1”となる。また、データ反転回路WRW内の電源切替端子V_{PC}には最初にV_{cc}(ハイレベル)を供給しておく。

【0053】この状態で、図5に示すように、先ず信号PC2B、PC1Aを立ち上げる(t1)。これによって、非選択側のマトリクスMATbではデータ反転回路WRWb内のMOSFET Qp1がオンされて複数のメインデー

タ線DLbが基準電位(例えば0.5V)にプリチャージされる。一方、選択側のマットMATaではデータ反転回路WRWa内のMOSFET Qp2がオンされるとともに、MOSFET Qt2がセンスラッチSLTの保持データに応じてそれが“1”のときはオンされ、“0”のときはオフとされるため、センスラッチSLTの保持データが“1”に対応するメインデータ線DLaは1Vにプリチャージされ、保持データが“0”に対応するメインデータ線DLaはVss(ロウレベル)とされる。追加書き込みをしないメモリセル(既にデータが書き込まれているメモリセル)に対応したセンスラッチSLTには、データ“1”がセットされているため、対応するメインデータ線DLaはすべて1Vにプリチャージされる。

【0054】続いて、1本のワード線およびローカルドレイン線選択信号SDおよびローカルソース線選択信号SSを立ち上げて、メモリアレイ内の選択MOSFET Qs1をオンさせる(図5のタイミングt2)。これによって、データ“0”が既に書き込まれているメモリセル(低しきい値)はオンとなるため、対応するメインデータ線DLaはディスチャージされてロウレベルとなる。一方、記憶データが“1”のメモリセル(高しきい値)はオフとなるため、対応するメインデータ線DLaはハイレベルのままである。さらに、未書き込み(消去状態)のメモリセル(高しきい値)はオフであるため、対応するメインデータ線DLaは追加書き込みデータに応じてセンスラッチSLTの保持データが“1”に対応するメインデータ線DLaは1Vとされ、保持データが“0”に対応するメインデータ線DLaはVssとされる。

【0055】次に、センスラッチSLTの電源電圧SLP, SLNをリセット状態(SLP=SLN=0.5V)にして保持データを一旦キャンセル(図5のタイミングt3)した後、信号TRをハイレベルにしてデータ線上の伝送MOSFET Qt1をオンさせてデータ線の電位をセンスラッチSLTに伝えて(図5のタイミングt4)から、センスラッチSLTの電源電圧SLP, SLNを順バイアス状態にしてデータ線の電位を増幅する(図5のタイミングt5)。図6には上記信号タイミングに従ったときのセンスラッチSLTの入出力ノードとメインデータ線DLa, DLbの電位の変化を示す。

【0056】なお、図6において、符号DAiはセンスラッチSLTのMATa(右側マット)側の入出力ノードNaの電位、符号DBiはセンスラッチSLTのMATb(左側マット)側の入出力ノードNbの電位、符号GDLaはMATa側のメインデータ線DLaの電位、符号GDLBiはMATb側のメインデータ線DLbの電位である。また、図6(a)は選択メモリセルの現在の状態が書き込み状態(低しきい値)である場合の波形、図6(b)は選択メモリセルの現在の状態が消去状

態(高しきい値)で追加書き込みでデータの書き込みを行わない場合の波形、図6(c)は選択メモリセルの現在の状態が消去状態(高しきい値)で追加書き込みでデータの書き込みを行なう場合の波形である。

【0057】その後、図7に示すように、信号TRをロウレベルにして伝送MOSFET Qt1をオフさせてデータ線とセンスラッチSLTとを遮断した状態で、信号PC2A, PC2Bを立ち上げる(タイミングt6)。これによって、データ反転回路WRWa内のMOSFET Qp1がオンされてメインデータ線DLa, DLbがそれぞれ1V, 0.5Vにプリチャージされる。次に、データ反転回路WRWa内の電源切替端子VPCをVssに切り替えてから信号PC1Aを立ち上げる(図7のタイミングt7)。

【0058】すると、選択側ではデータ反転回路WRWa内のMOSFET Qp2がオンされるとともに、MOSFET Qt2がセンスラッチSLTの保持データに応じてそれが“1”のときはオンされ、“0”のときはオフとされる。そのため、センスラッチSLTの保持データが“1”に対応するメインデータ線DLaはVss(ロウレベル)にディスチャージされ、保持データが“0”に対応するメインデータ線DLaは1V(ハイレベル)のままにされる。つまり、データレジスタ12の保持データを反転した状態が選択側のデータ線上に現れる。

【0059】次に、センスラッチSLTの電源電圧SLP, SLNをリセット状態にして保持データを一旦キャンセル(図7のタイミングt8)した後、信号TRをハイレベルにしてデータ線上の伝送MOSFET Qt1をオンさせてデータ線の電位をセンスラッチSLTに伝えて(図7のタイミングt9)から、センスラッチSLTの電源電圧SLP, SLNを順バイアス状態にしてデータ線の電位を増幅する(図7のタイミングt10)。これによって、データレジスタ12には、書き込みを行なうべきメモリセルに対応したセンスラッチSLTにのみ“1”にされた書き込み期待値データが保持される。この書き込み期待値データは、追加書き込みデータと既に書き込みがなされたメモリセルの記憶データとを並べ反転させたものであることが、表1より容易に理解される。

【0060】実施例のフラッシュメモリでは、上記書き込み期待値データをデータレジスタ12に保持したまま、データ線上の伝送MOSFET Qt1をオフした状態で選択ワード線とウェル領域に消去パルスを加して当該セクタのメモリセルをすべて消去状態(高しきい値)あるいは擬消去する。その後、データレジスタ12に保持されている上記書き込み期待値データを用いて、保持データが“1”であるデータ線のみ3Vのようなレベルにプリチャージして選択ワード線に-10Vを加することで、所望の追加書き込みが実行される。その結果、プリチャージされなかったデータに接続されたメモリセルはし

きい値が変化せず記憶データは“1”となり、逆にブリチャージされたデータに接続されたメモリセルはしきい値が低くされることで記憶データは“0”となる。

【0061】なお、上記消去パルス印加時に消去状態であったメモリセルのしきい値は、最低限書込みベリファイ電圧を越えれば良く、消去時間の節約が可能である。

【0062】図8には上記信号タイミングに従ったときのセンスラッチSLTの入出力ノードとメインデータ線DL_a、DL_bの電位の変化を示す。また、図8(a)は図5の動作終了時(タイミングt₅)にセンスラッチSLTのマットA側の入出力ノードの電位がハイレベルであった場合のその後の波形、図8(b)は図5の動作終了時(タイミングt₅)にセンスラッチSLTのマットA側の入出力ノードの電位がロウレベルであった場合のその後の波形を示す。

【0063】図9には、各メモリセルの追加書込み前と追加書込み後のしきい値の変化の様子を示す。図9において、(A)は書込み前の状態が「消去(記憶データ“1”)」で追加書込みデータが“1”であるメモリセルの変化を、(B)は書込み前の状態が「消去(記憶データ“1”)」で追加書込みデータが“0”であるメモリセルの変化を、(C)は書込み前の状態が「書込み(記憶データ“0”)」で追加書込みがないメモリセルのしきい値の変化を示す。図9において、緩やかな右下がりの傾斜は、ディスターブによるしきい値の低下を意味している。なお、図9で破線で示すのは、初期書込みも追加書込みコマンドを用いて行なった場合のしきい値の変化である。即ち、メモリセルの一括消去直後の書込みにおいてもディスターブが起こるので、追加書込みコマンドを用いる書込みは有効である。

【0064】表2には、メモリセルの状態(記憶データ)と追加書込データおよび書込期待値データとの関係を示す。表2に記されているA、B、Cの符号は、図9のメモリセルのしきい値変化との対応を表すものである。

【0065】

【表2】

	現状メモリセル状態	追加書込データ	書込期待値データ	
未使用	消去(“1”)	1	0(非書込)	(A)
	消去(“1”)	0	1(書込)	(B)
使用中	書込(“0”)	—	1(書込)	(C)
	消去(“1”)	—	0(非書込)	(A)

図10には、この実施例の追加書込み制御を適用することにより、各メモリセルのしきい値の変化の様子が示されている。図10は、1セクタ内のメモリセル群のしきい値の遷移状態を表す図であり、横軸は電圧、縦軸は特

定のしきい値電圧にあるメモリセルの度数を表している。この図において、しきい値電圧の第1状態(消去状態:論理“1”)と第2状態(書込み状態:論理“0”)とが定義される。即ち、メモリセルの記憶状態を決めるためのメモリセルのしきい値電圧は、第1状態では V_{ev} 以上となり、第2状態は V_{ss} から V_{pv} の範囲となり、いずれも一点の電圧ではなく、所定の幅を持ったものとなる。

【0066】この実施例に従うと、図10(A-1)、(B-1)に示すように、最初の書込み時のディスターブで破線で示すごとくしきい値が下がってしまっているメモリセルのしきい値を回復してやることができる。前述の説明では詳しく述べなかったが、1セクタを一括消去して、その中の特定のメモリセル群に書込みを行うと、残りのメモリセルは最初からワードディスターブを受けるのである。なお、図10において、(A-1)、(A-2)は同一セクタ内でしきい値電圧が第1状態にある未使用領域の第1メモリセル群(消去状態)に書込みを行なわない場合のしきい値の変化の様子を、(B-1)、(B-2)は同じく第1メモリセル群に書込みを行なう場合のしきい値の変化の様子を示す。また、(C-1)、(C-2)は使用領域にあるしきい値電圧が第2状態の書込み状態の第2メモリセル群のしきい値の変化の様子をそれぞれ示す。同図から分かるように、この実施例では書込み済みのメモリセルも一旦消去状態にされてから再び書込み状態とされる。

【0067】なお、上記実施例では、セクタを使用領域と未使用領域の2つに分けた場合について説明したが、それに限定されるものでなく、上記未使用領域を複数のセクションに分割して各セクションごとに追加書込みを可能な構成にしてもよい。

【0068】さらに、上記実施例では、データ書込みの際に一旦消去を行なってしきい値を高くした後に書込みパルスでしきい値を下げる方式のフラッシュメモリについて説明したが、消去動作でメモリセルのしきい値を低くしてから書込みパルスでしきい値を高くする方式等であっても良い。

【0069】図1に示した1チップに形成された第1の実施例のフラッシュメモリは、上述した追加書込みコマンド(第2書込みコマンド)の他に、少なくとも、図13の読出しコマンド、図14の消去コマンド(1セクタのメモリセルのしきい値電圧を一括して第1状態(消去状態)にするコマンド)、図15の書込みコマンド(第1書込みコマンド)を有する。図13～14の手順の詳細は後に説明する。消去コマンドを実行して1セクタ内でしきい値が第2状態にあるメモリセル群を第1状態にするには、約1msの時間を要する。書込みコマンドを実行してしきい値が第1状態にあるメモリセル群を第2状態にするには同じく約1msの時間を要する。

【0070】以上の実施例により達成される本願発明の作用効果は以下の通りである。まず、図4の追加書込み

コマンドと図15の書き込みコマンドとを比較すると、追加書き込みコマンドは、ステップ4-5 (S4-S5) の手順が特徴となる。ステップ4により最終書き込みデータの合成が自動的に行われるようになり、書き込み時間の節約となる。

【0071】また、しきい値電圧の電圧方向を特徴的に決めるワード線への電圧印加で比較すると、図14の消去コマンドでは+10Vのみが約1ms印加されるステップを含み、図15の書き込みコマンドでは-10Vのみが約1ms印加されるステップを含む。これに対し、図4では+10Vに引き続き-10Vを印加するステップを有することで特徴付けられる。また、ステップ5の擬消去で+10Vを印加する時間は、消去コマンドで+10Vを印加する時間より大幅に短くされることで特徴付けられる。

【0072】ディスタープを回避するために1セクタの書き込みデータを一旦センスラッチSLTに退避してメモリセルを消去コマンドで完全に一括消去(約1ms)した後、センスラッチSLTに退避したデータと新たな書き込みデータから合成した最終書き込みデータを書き込みコマンドでメモリセルへ書き込みを行う(約1ms)方法では、合計約2ms以上の時間を要する。これに対して、図23で示すような擬消去を用いた追加書き込みコマンドによれば、擬消去(約0.1ms)の後、書き込み(約1ms)となるので、トータル約1.1msで完了し、実質的な書き込み時間を約半分とすることができる。

【0073】また、擬消去によりディスタープの補償がなされワードディスタープが緩和されるため、追加書き込みコマンドでは、実行に先立ち消去コマンドを実行して完全なセクタ消去をしなくてもよい。即ち、従来の書き込みコマンドでは、その実行に先立ち消去コマンドを実行しなければならない制約があった。これに対し、追加書き込みコマンドでは、ディスタープが大幅に緩和されるため、消去コマンドを実行せずに連続して実行できる回数を大幅に増やすことができる。つまり、本願発明の追加書き込みコマンドは、消去コマンドを実行せずに、約15回以上連続して実行しても、同一セクタ内のメモリセルの記憶データが保証される。消去-書き込みを15回以上繰り返すと30msとなるのに対し、追加書き込みコマンドを15回連続して実行して1回消去コマンドを実行すると、17.5msとなるに過ぎず、システム全体としても書き込み時間が大幅に節約される。

<実施例2>図11には、上記書き込みパルスでしきい値を高くする方式のメモリアレイの実施例を示す。

【0074】この実施例のメモリアレイと前記実施例のメモリアレイ(図2参照)との相違は、選択MOSFET Qs1, Qs2がなく各メモリセルMC1~MCnのドレインが直接メインデータ線DLに接続されているとともに、各メモリセルMC1~MCnのソースは共通のコモンソース線CSLに接続されている点にあり、同一列

のメモリセルは互いに並列的に接続されている点では前記実施例のメモリアレイと同じである。ただし、この実施例のメモリアレイでは、データ書き込み時と消去時のメモリセルのしきい値電圧の定義が図2の実施例と逆である。

【0075】特に制限されないが、図11に示すメモリアレイはNOR形フラッシュメモリと呼ばれることがある。この時、特に制限されないが、フローティングゲートへの電子の注入(しきい値電圧を上げ、書き込み状態にする)には、トランジスタのドレインからCHE(Channel Hot Electron)注入が用いられ、フローティングゲートからの電子の引き抜き(しきい値電圧を下げ、消去状態にする)には、FNTunnel放出が用いられる。

【0076】この実施例では、表3に示すように、データ書き込み時にはコントロールゲートCGに10Vのような高電圧が印加され、ソースには接地電位(0V)が印加される。一方、ドレインには、選択/非選択に応じて異なる電圧が印加される。すなわち、選択メモリセルのドレインには5Vのような電圧が印加されてメモリセルはオン状態となり、ソース・ドレイン間に電流が流れこのとき生じたホットエレクトロンがフローティングゲートに注入されてメモリセルのしきい値が高くされる。また、非選択メモリセルのドレインにはソースと同じ0Vが印加されてメモリセルのソース・ドレイン間には電流が流れずメモリセルのしきい値も低いままとされる。

【0077】

【表3】

	CG	ドレイン	ソース
書き込み	10	5V	0
消去	-10	floating	5
読出	5	1	0

データ消去時にはコントロールゲートCGに-10Vのような負電圧が印加され、ドレインは電圧が印加されないフローティング状態とされる。一方、ソースには、5Vのような正電圧が印加される。これによって、メモリセルのフローティングゲートから電子が引き抜かれ、メモリセルのしきい値が低くされる。この消去動作はワード線を共通にするセクタ単位で実行される。なお、この実施例のメモリセルは、データ読出し時にはコントロールゲートに5V、ソースに0V、ドレインに1Vが印加されることによって、しきい値が高いメモリセルはドレイン電流が流れず、しきい値が低いメモリセルはドレイン電流が流れてデータ線のプリチャージレベルが下がるのをセンスラッチで検出することでデータの読出しが行なわれる。

【0078】この実施例においても、前記実施例と同様な追加書き込み制御を適用することにより、図12(A-1)、(B-1)に示すように、最初の書き込み時のディスタ-

ブで破線で示すごとくしきい値が上がってしまっているメモリセルのしきい値を回復してやることができる。なお、図12において、(A-1)、(A-2)は未使用領域のメモリセル(消去状態)に書込みを行なわない場合のしきい値の変化の様子を、(B-1)、(B-2)は未使用領域のメモリセルに書込みを行なう場合のしきい値の変化の様子を、(C-1)、(C-2)は使用領域にある書込み状態のメモリセルのしきい値の変化の様子をそれぞれ示す。同図から分かるように、この実施例では書込み済みのメモリセルも一旦消去状態にされてから再び書込み状態とされる。

【0079】図24に示されるように、メモリセルのしきい値の変化を電圧 V_{pv} よりもわずかに低くする程度であってよい。

【0080】以上本願の実施例2を用いて、第1状態と第2状態のしきい値電圧の高低を逆にしても実施例1と同様な効果が得られる。

<実施例3>図13～図15に本発明の他の実施例を示す。この実施例は、前記実施例における追加書込みコマンドや書込み期待値データ機能をフラッシュメモリに持たせずに、外部の制御装置からの一般的なデータ読出しコマンドと消去コマンドと書込みコマンドによって追加書込みを実行するようにしたものである。この実施例を適用できるフラッシュメモリは、少なくともデータ読出しコマンドと消去コマンドと書込みコマンドと開始コマンドとを解釈して実行するシーケンサを備えている。このうち開始コマンドは必ずしも必要とされるものでなく、自動的にスタートするように構成することができる。

【0081】即ち、不揮発性メモリとしては、メモリアレイとシーケンサとが1チップ上に形成され、シーケンサは少なくとも、読出しコマンド(図13)、消去コマンド(図14)および書込みコマンド(図15)の基本命令を実行可能とされている。そして、実施例1で説明したように完全な一括消去と前述の擬消去とができるように、消去コマンドでのワード線の電圧印加時間や実行ステップは、変更可能にできるものとする。擬消去専用消去時間だけが異なる第2消去コマンドを設けてもよい。また、この時、消去コマンドの消去ペリファイは不要とされる。

【0082】本願発明の追加書込みコマンドは、上記3つの基本命令を順次連続して実行するマクロコマンドとなり、そのコマンドは例えばパーソナルコンピュータのCPUで実行可能なプログラムとして、磁気記憶媒体等により配布可能とされる。従って、この場合のシーケンサは、メモリチップの狭義のシーケンサと外部のCPUとが一体となったものである。追加コマンドの形態としては、不揮発性メモリドライバとして追加プログラムされたり、しばしばコンピュータのOSに組み込まれる形式とされる。従って、本願の対象は、3個の基本命令が実行できる不揮発性メモリチップと、それが接続される

CPUを持つコンピュータシステムの一部となり得る。

【0083】以下、図13～図15に従って、本実施例を説明する。

【0084】本実施例においては、追加書込みをする場合、外部の制御装置からフラッシュメモリに対して先ずデータ読出しコマンドが入力され、続いてデータを追加書込みしたい位置に相当するセクタアドレスが入力される。フラッシュメモリは、データ読出しコマンドが入力されると、メモリ内部の各回路を読出しモードに設定する(図13のステップS11)。続いてアドレスが入力されるとそのアドレスをアドレスレジスタに格納する(ステップS12)。次に、外部から開始コマンドが入力されると、上記アドレスレジスタに格納されたアドレスのデータをメモリアレイ内から読み出して外部へ出力する。外部の制御装置は、フラッシュメモリから出力されたデータを外部のメモリ内の所定の退避エリアに格納する。また、外部制御装置は上記退避エリアに格納された読出しデータと追加書込みデータとから書込み期待値データを作成して外部メモリに保持しておく。

【0085】次に、外部制御装置からフラッシュメモリに対して消去コマンドとセクタアドレスが入力される。すると、フラッシュメモリはメモリ内部の各回路を消去モードに設定してから、入力されたアドレスをアドレスレジスタに格納する(図14のステップS21、S22)。続いて開始コマンドが入力されると、上記アドレスレジスタに設定されたセクタアドレスに対応するメモリセルに対して、消去状態あるいは擬消去状態にするためのバイアス電圧を印加してしきい値を変化させる(ステップS23)。その後、ペリファイ読出しを行なうと、確実にデータが消去されたか確認し、消去がなされていないときはステップS23へ戻って再度メモリセルに対して消去パルスを印加する(ステップS24、S25)。なお、ステップS22～S25の消去ペリファイは、通常の消去時に利用され、擬消去では使用されない。

【0086】次に、外部制御装置からフラッシュメモリに対して書込みコマンドとセクタアドレスおよび書込み期待値データが順次入力される。すると、フラッシュメモリはメモリ内部の各回路を書込みモードに設定してから、入力されたアドレスをアドレスレジスタに、また書込み期待値データをデータレジスタに格納する(図15のステップS31、S32、S33)。続いて開始コマンドが入力されると、上記アドレスレジスタに設定されたセクタアドレスに対応するメモリセルに対して、書込みパルスを印加してしきい値を変化させる(ステップS34)。その後、ペリファイ読出しを行なうと、確実にデータの書込みがなされたか確認し、書込みがなされていないときはステップS34へ戻って再度メモリセルに対して書込みパルスを印加する(ステップS35、S36)。

【0087】以上、読出しコマンド、消去コマンドおよび書込みコマンドの3個の基本命令の組み合わせにより作ったマクロ追加書込みコマンドについて説明したが、図4の実施例に比べると、読出しデータをメモリチップ外部に取り出すため、図4のステップS4に対する手順の節約効果は薄れるものの、ワードディスタ urbを回避し、消去命令を実行せずにできる追加書込みについては実施例1と同様な効果が期待できる。

【0088】図16には、本発明の更に他の実施例を示す。図1と同一の符号については、その詳細な説明は省略する。この実施例は、上記実施例における退避エリアとなるレジスタ（データ退避レジスタ）27と、外部制御装置が行なっている書込み期待値データの演算を行なう演算回路（追加書込み対応演算回路）28とをフラッシュメモリ内部に設けるようにしたものである。この実施例のシーケンサ22は外部の制御装置から入力される追加書込みコマンドを解釈して、上記レジスタ27および演算回路28を適当なタイミングで制御して追加書込みを実行させる機能を有するように構成される。

【0089】図17には上記実施例のフラッシュメモリの応用例としてのメモリカードの構成を示す。メモリカード100は、複数のフラッシュメモリ10とこれらのリード・ライトを制御するコントローラユニット110とによって構成されており、コントローラユニット110とフラッシュメモリ10とは、カード内に配設されたバス（図示省略）によって接続されており、コントローラユニット110からフラッシュメモリ10に対して、上述の追加書込みコマンドその他のコマンドやセクタアドレス、書込みデータ、ライトイネーブル信号などの制御信号がバスを介して供給される。120は、カードの

一側に沿って設けられた信号入出力や電源供給用の端子兼コネクタである。

【0090】実施例1や実施例2では、フラッシュメモリのメモリアレイと、命令を実行するためのコマンドシーケンサが1チップ上に設けられた不揮発性メモリについて述べたが、その実現方法は、図17のようにカード形とすることもできる。このとき重要なことは、コントローラ110が少なくとも、図4で示した追加書込みコマンドの手順を含む不揮発性メモリシステムを構成することである。

【0091】メモリカード形態としたときの別の実施例としては、コントローラ110を省略し、フラッシュメモリチップが複数搭載されたメモリカードと、これらのメモリカードが接続可能とされるCPUを含むパーソナルコンピュータの形態も取り得る。この場合には、フラッシュメモリの制御に必要な消去、書込み等の全てのコマンドはCPUのプログラムとして含まれることとなる。そして、そのコマンドには図4の追加書込みコマンド、または図13～15の基本命令を組み合わせたマクロ書込みコマンドを用いることができる。

【0092】以上説明したように、上記実施例においては、所定の指令が与えられると、指定アドレスのセクタの記憶データを読み出してレジスタに退避させてから当該セクタの一括消去を行ない、前記退避されたデータと追加書込みしようとするデータとから実際の最終書込みデータ（書込み期待値データ）を形成して書込み動作を行なうように構成したので、追加書込みの際にワード線ディスタ urbによるメモリセルのしきい値の変動が回復され、誤まったデータの読み出しを防止することができるという効果がある。

【0093】また、選択セクタから読み出されたデータを内部レジスタに保持した状態で外部から追加書込みデータが入力されると、書込み期待値データを自動的に内部で形成してから書込み動作を行なうように構成したので、追加書込みという動作を通常の書込みよりも高速で行なうことができ、しかも追加書込みにおけるソフトウェアの負担を軽減することができるという効果がある。

【0094】その結果、実施例のフラッシュメモリによれば、図22に示すように、同一セクタ内にOS情報やセクタ管理情報等一般ユーザーに開放されていないシステム領域と、一般ユーザーが自由に書込みをできるユーザー領域とを混在して設けることができ、これによってメモリの有効利用を図ることができる。このような記憶方式のフラッシュメモリは、システム領域に所定のデータが書き込まれ、ユーザー領域は未書込みの状態ユーザーに提供され、ユーザーが書込みを行なう時は追加書込みという動作で行なえるためである。なお、図22における管理データとしては、例えばバリティコードやエラー訂正符号、当該セクタの書換え回数、等がセクタが不良ビットを含むか否かの情報、当該セクタを複数のセクションに分割して各セクションごとに追加書込みを可能な構成にした場合におけるセクションの使用／未使用を示すセクション管理情報等がある。

【0095】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では、メモリアレイを2つのマットによって構成した場合について説明したが、この発明はそれに限定されず、偶数個のマットに分割した場合はもちろん1つのマットで構成されている場合にも適用することができる。

【0096】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である一括消去型フラッシュメモリに適用した場合について説明したが、この発明はそれに限定されるものでなく、FAMOSを記憶素子とする不揮発性記憶装置一般さらには複数のしきい値を有するメモリセルを備えた半導体装置に広く利用することができる。

【0097】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0098】すなわち、この発明は、不揮発性半導体記憶装置におけるワード線ディスタープによるメモリセルのしきい値の変動を回復し、誤まったデータの読み出しを防止することができるとともに、追加書込みという動作を通常の書込みよりも高速で行なうことができ、しかも追加書込みにおけるソフトウェアの負担を軽減することができる。

【図面の簡単な説明】

【図1】本発明に係るフラッシュメモリの一実施例の概略を示す全体ブロック図である。

【図2】本発明に係るフラッシュメモリのメモリアレイの構成例を示す回路図である。

【図3】センスラッチ回路SLTおよびデータ反転回路WRWの具体例を示す回路図である。

【図4】実施例のフラッシュメモリの追加書込み手順を示すフローチャートである。

【図5】実施例のフラッシュメモリにおける追加書込み時（前半）のメモリアレイ内の信号タイミングを示すタイミングチャートである。

【図6】実施例のフラッシュメモリにおける追加書込み時（前半）のセンスラッチおよびデータ線のレベル変位を示す波形図である。

【図7】実施例のフラッシュメモリにおける追加書込み時（後半）のメモリアレイ内の信号タイミングを示すタイミングチャートである。

【図8】実施例のフラッシュメモリにおける追加書込み時（後半）のセンスラッチおよびデータ線のレベル変位を示す波形図である。

【図9】実施例のフラッシュメモリにおける追加書込み時のメモリセルのしきい値の変化を示す説明図である。

【図10】実施例のフラッシュメモリにおけるメモリセルのしきい値の変化を示す説明図である。

【図11】本発明に係るフラッシュメモリのメモリアレイの他の実施例を示す回路図である。

【図12】図11の実施例のフラッシュメモリにおけるメモリセルのしきい値の変化を示す説明図である。

【図13】本発明に係るフラッシュメモリの第2の実施

例を説明する第1ステージの読出しコマンド実行手順を示すフローチャートである。

【図14】本発明に係るフラッシュメモリの第2の実施例を説明する第2ステージの消去コマンド実行手順を示すフローチャートである。

【図15】本発明に係るフラッシュメモリの第2の実施例を説明する第3ステージの書込みコマンド実行手順を示すフローチャートである。

【図16】本発明に係るフラッシュメモリの第3の実施例の概略を示す全体ブロック図である。

【図17】本発明に係るフラッシュメモリの応用例としてのメモ리카ードの概略構成図である。

【図18】フラッシュメモリにおけるメモリセルの書込み時の印加電圧の一例を示す断面図である。

【図19】フラッシュメモリにおけるメモリセルの消去時の印加電圧の一例を示す断面図である。

【図20】従来のフラッシュメモリにおけるメモリセルのしきい値の変化を示す説明図である。

【図21】従来の他のフラッシュメモリにおけるメモリセルのしきい値の変化を示す説明図である。

【図22】フラッシュメモリにおける追加書込み可能なセクタの構成例を示す説明図である。

【図23】実施例のフラッシュメモリにおけるメモリセルのしきい値の変化を示す他の説明図である。

【図24】図11の実施例のフラッシュメモリにおけるメモリセルのしきい値の変化を示す他の説明図である。

【符号の説明】

11 メモリアレイ

12 データレジスタ

13 書換回路

14 アドレスレジスタ

15 Xデコーダ

21 コマンドレジスタ&デコーダ

22 シーケンサ

SLT センスラッチ回路

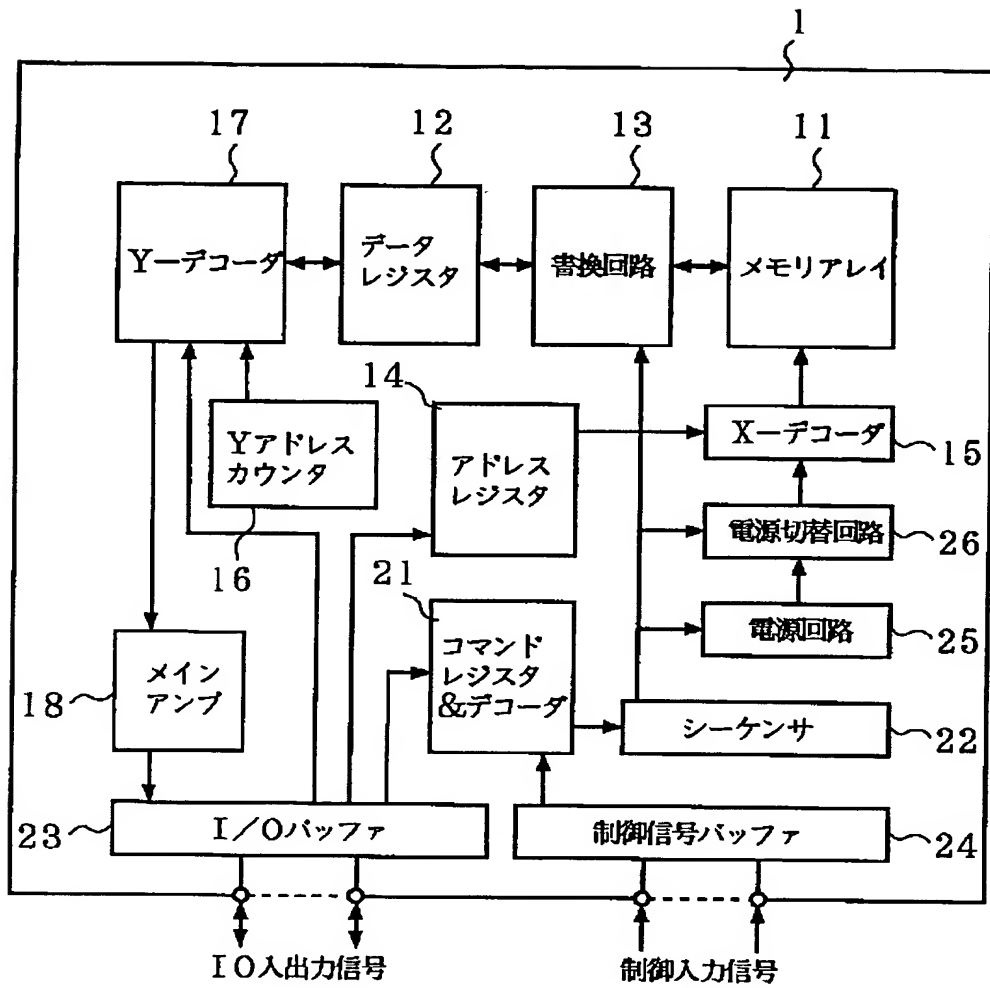
WRWデータ反転回路

DL データ線

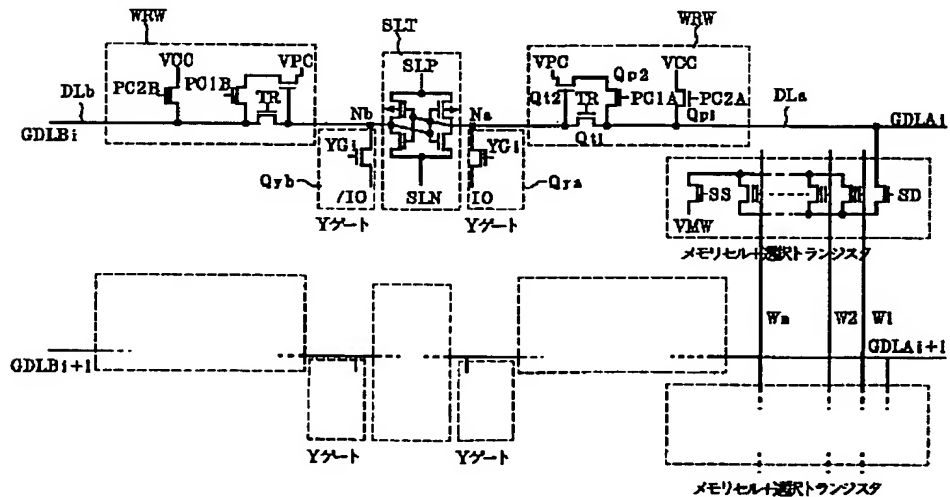
WL ワード線

MC メモリセル

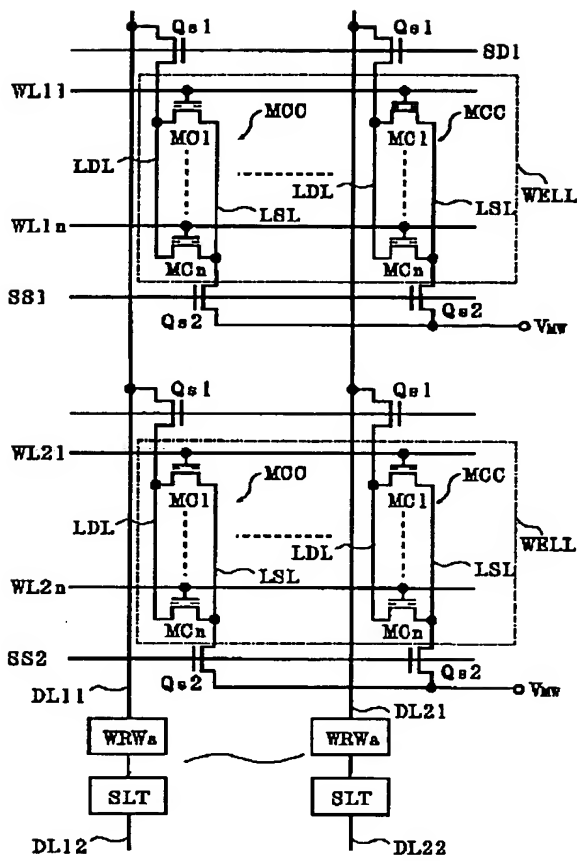
【図1】



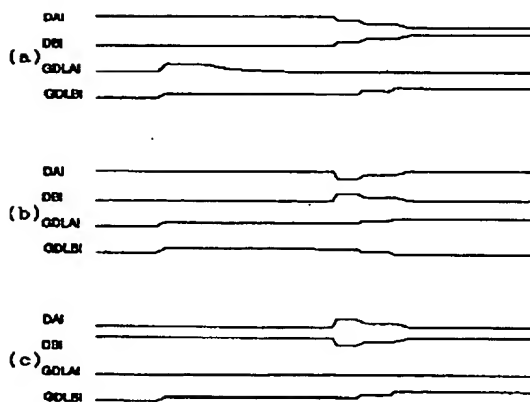
【図3】



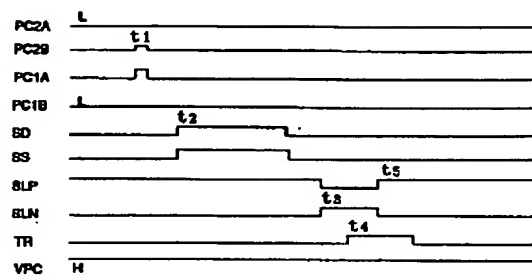
【図2】



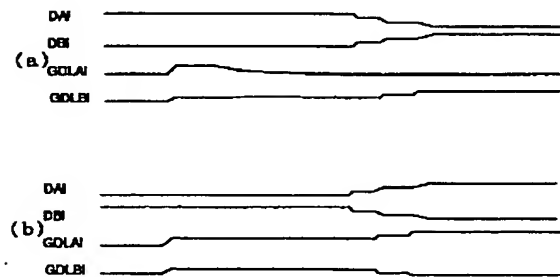
【図6】



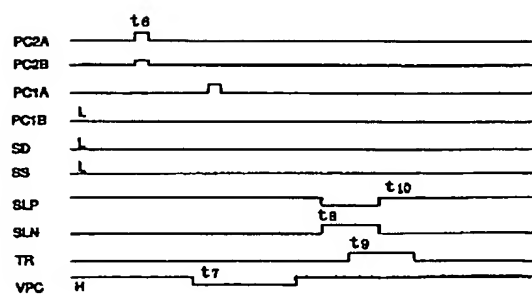
【図5】



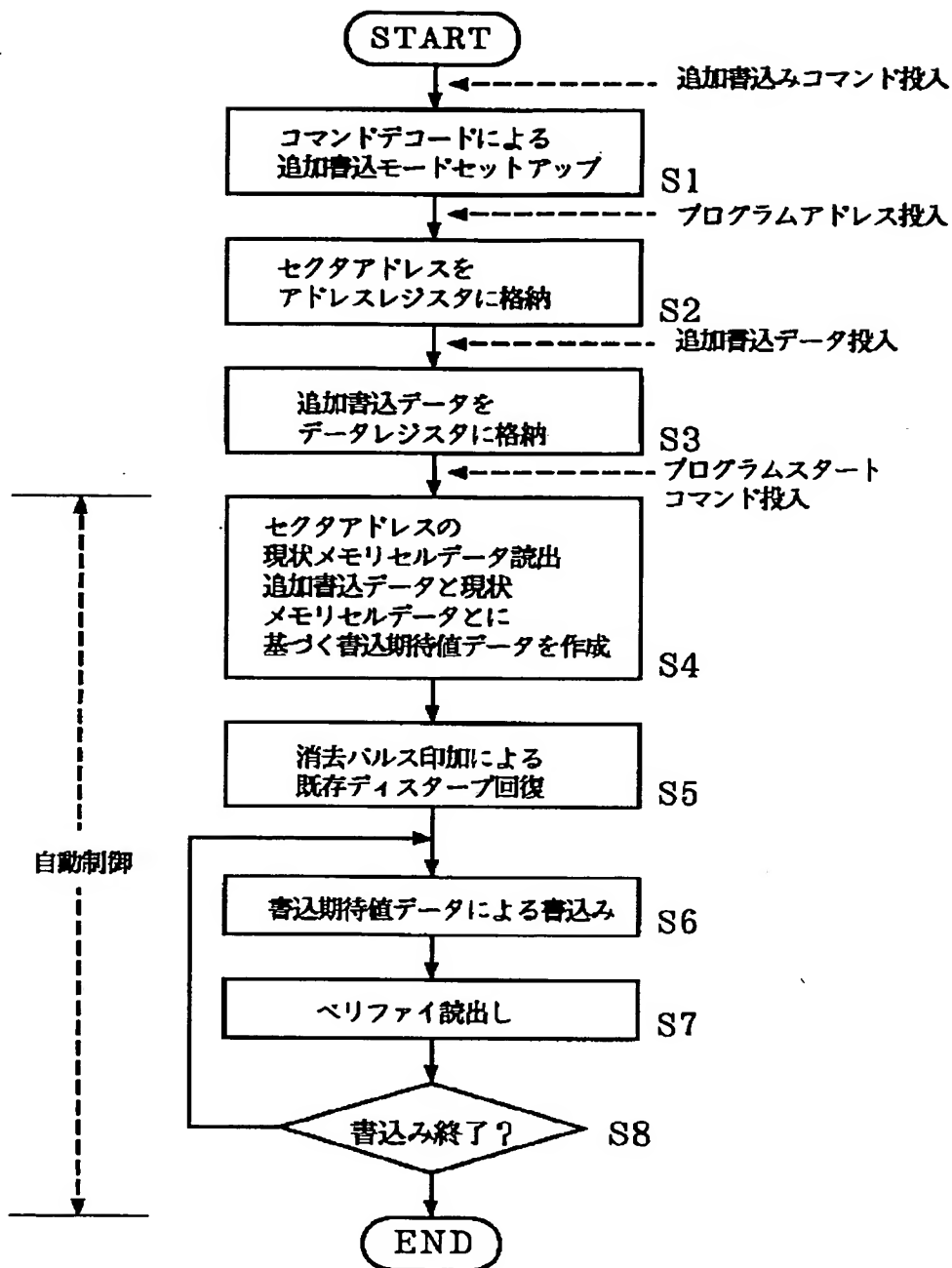
【図8】



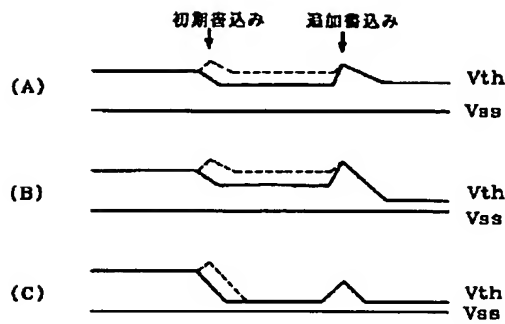
【図7】



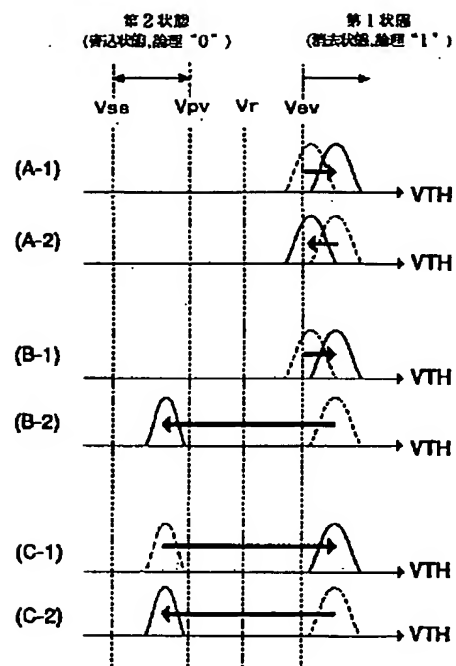
START



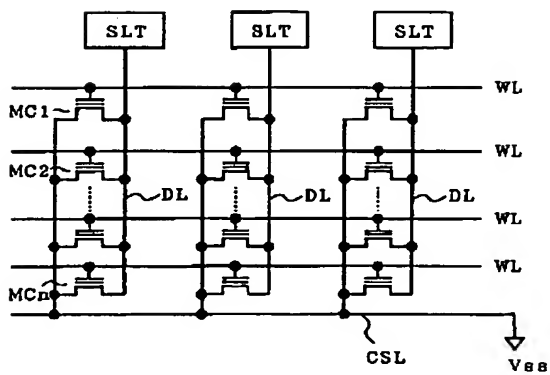
【図9】



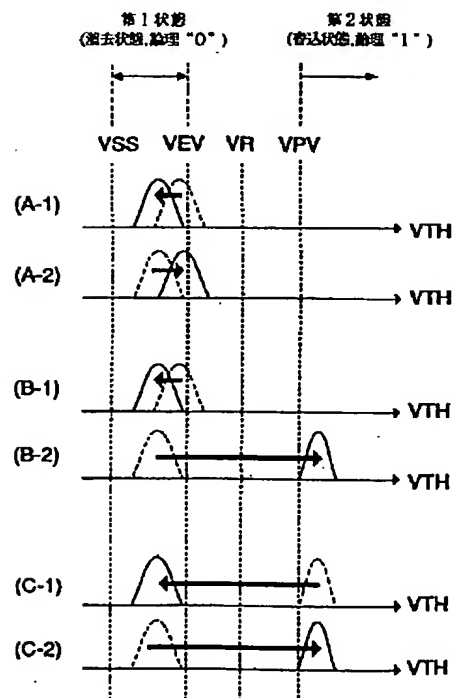
【図10】



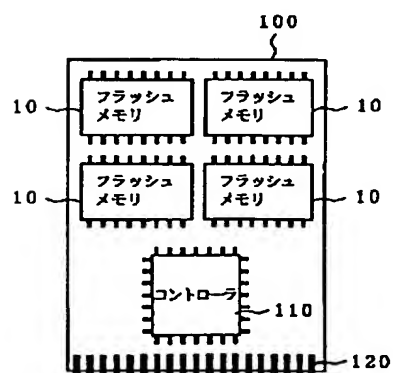
【図11】



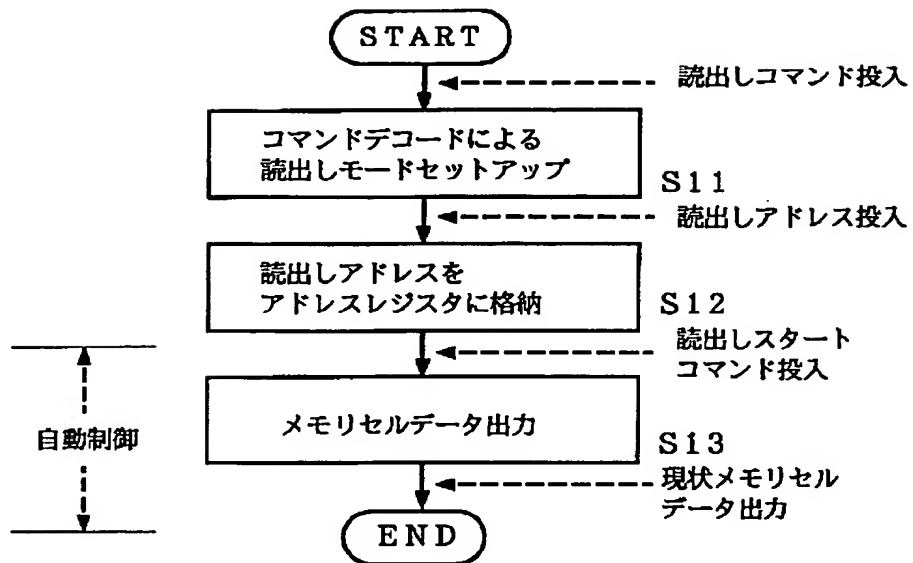
【図12】



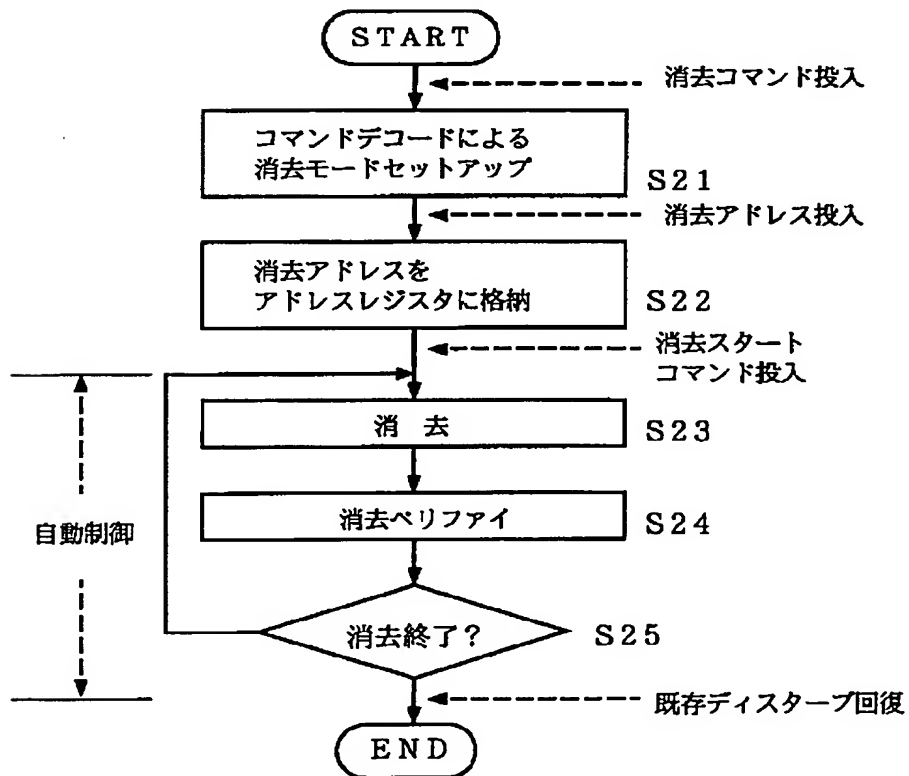
【図17】



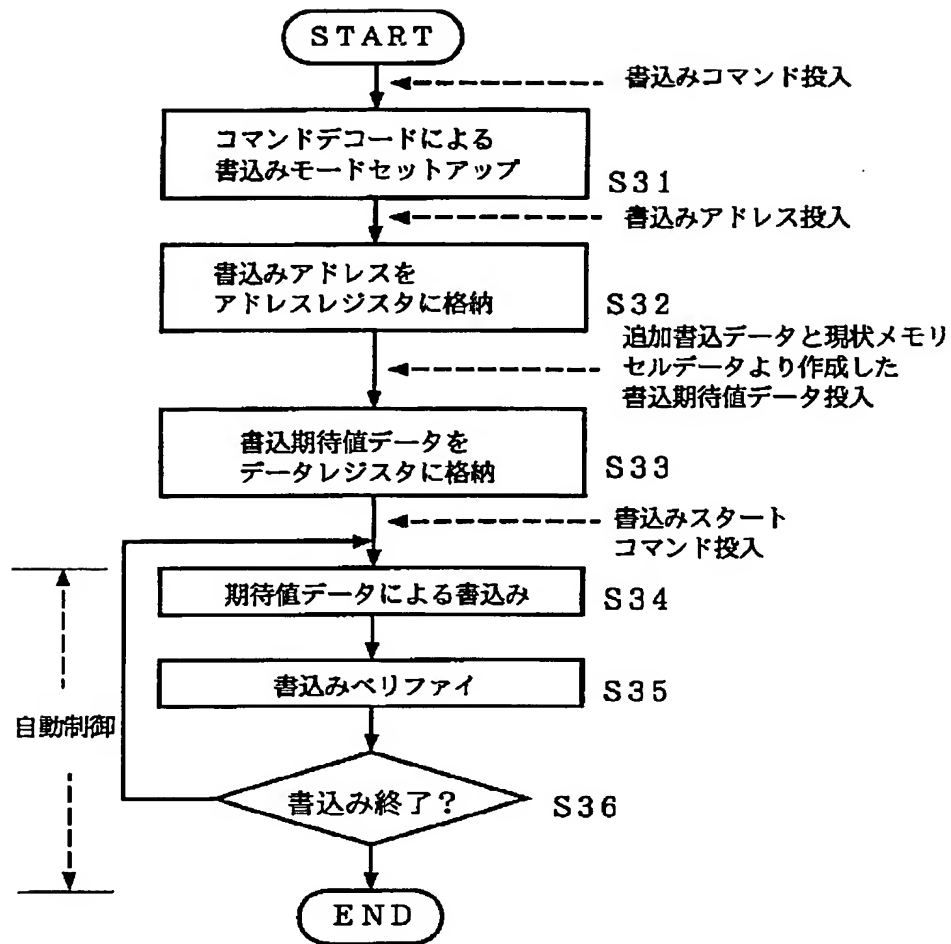
【図13】



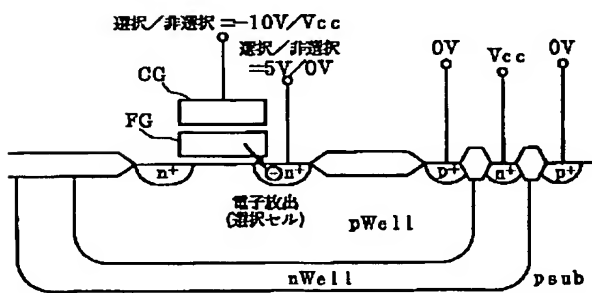
【図14】



【図15】

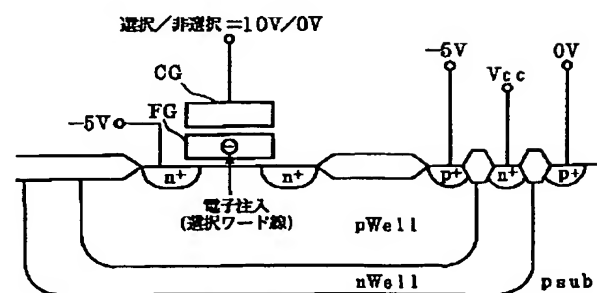


【図18】



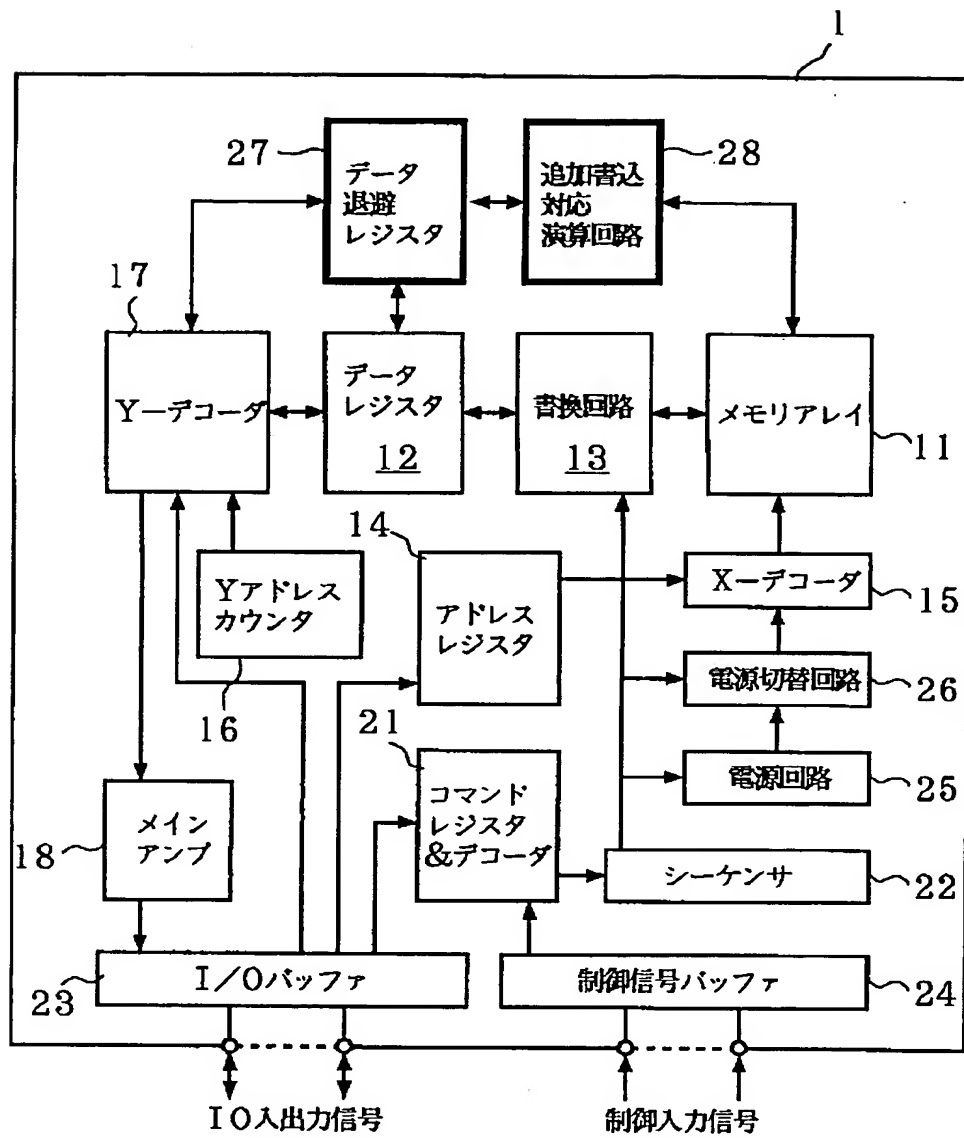
書き込み時の印加電圧の一例

【図19】

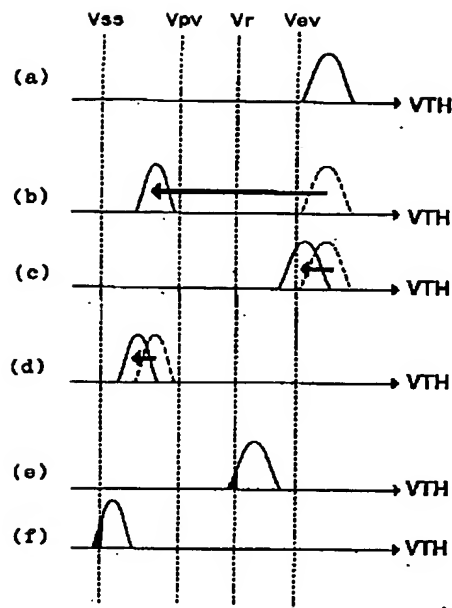


消去時の印加電圧の一例

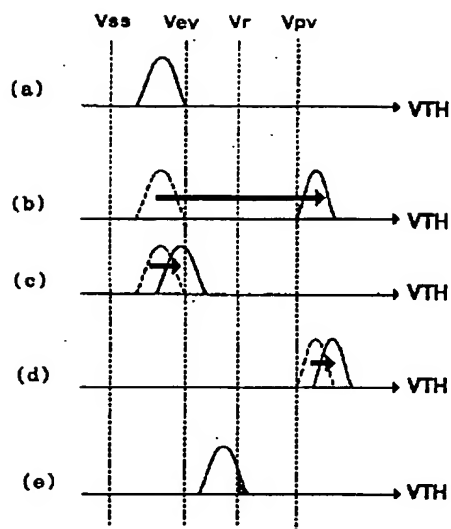
【図16】



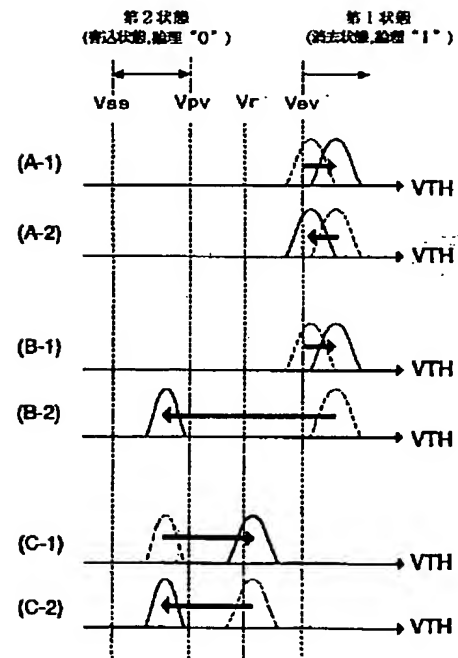
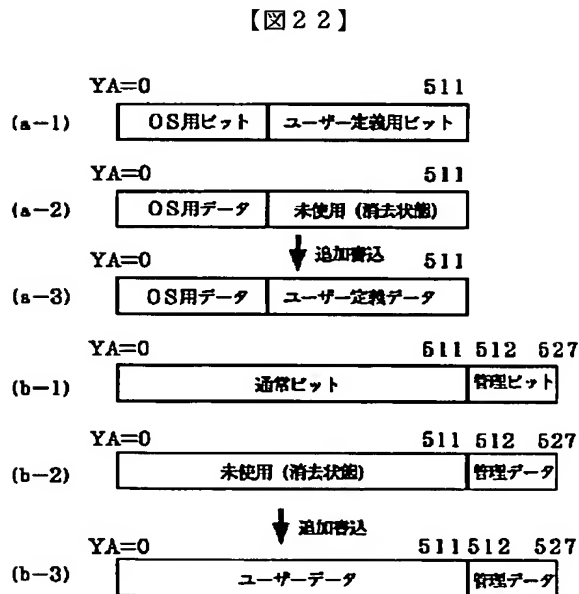
【図20】



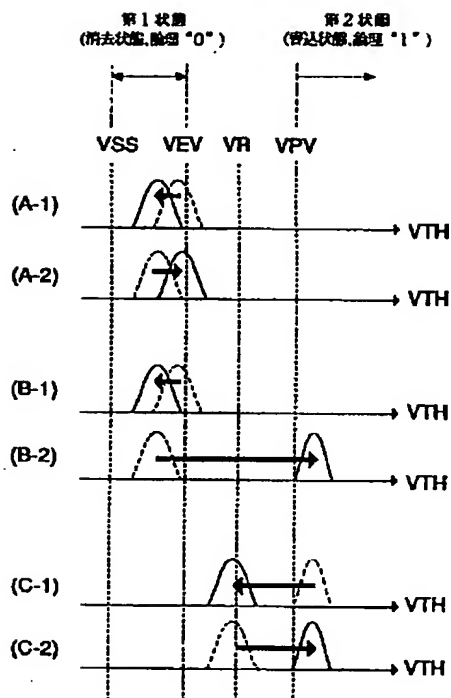
【図21】



【図23】



【図24】



フロントページの続き

(72)発明者 三輪 仁
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 土屋 修
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 久保埜 昌次
東京都小平市上水本町五丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内